

Docket No.: 67161-069

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yasuhiro KASHIWAZAKI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 18, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE PERMITTING CONTROL OF INTERNAL POWER SUPPLY VOLTAGE IN PACKAGED STATE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

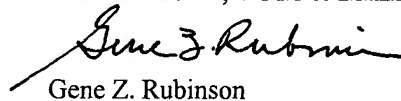
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-053141(P), filed February 28, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:mcw
Facsimile: (202) 756-8087
Date: August 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-069

Y. KASHIWAZAKI

August 18, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月28日

出 願 番 号

Application Number:

特願2003-053141

[ST.10/C]:

[JP2003-053141]

出 願 人

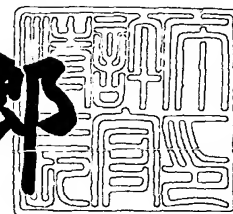
Applicant(s):

三菱電機株式会社

2003年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019454

【書類名】 特許願

【整理番号】 542548JP01

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 柏崎 泰宏

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 パッケージに収められた半導体記憶装置であって、
外部電源電圧をもとに参照電圧を発生する参照電圧発生回路と、
前記パッケージ外部から与えられる外部電圧を、互いに異なる電圧値を有する
複数の分割電圧に分割する電圧分割回路と、

前記パッケージ外部からの制御信号に応じて、前記参照電圧および前記複数の
分割電圧の中から 1 つの基準電圧を選択する選択回路と、

前記基準電圧をもとに内部電源電圧を発生する内部電圧発生回路とを備える、
半導体記憶装置。

【請求項 2】 前記電圧分割回路は、
前記外部電圧として前記外部電源電圧が与えられる外部電源ノードと、
前記外部電源ノードと接地ノードとの間に直列接続され、前記外部電源電圧を
互いに異なる電圧値を有する複数の分割電圧に分割する複数の抵抗素子とを含む
、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記電圧分割回路は、
前記外部電圧としてデータマスク信号電圧が与えられるデータマスクピンと、
前記データマスクピンと接地ノードとの間に直列接続され、前記データマスク
信号電圧を互いに異なる電圧値を有する複数の分割電圧に分割する複数の抵抗素
子とを含む、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記選択回路は、
前記複数の分割電圧の各々に対して設けられた複数の選択信号に応じて、前記
複数の分割電圧の中から 1 つの選択電圧を選択する分割電圧選択部と、

テストモード制御信号が一方の論理レベルをとった時には前記参照電圧を前記
基準電圧として選択し、前記テストモード制御信号が他方の論理レベルをとった
時には前記選択電圧を前記基準電圧として選択する基準電圧選択部とを含む、請
求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、パッケージに収められた状態で内部電源電圧の制御が可能な半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

一般に、D R A M (Dynamic Random Access Memory) のような半導体記憶装置では、外部から供給される電源電圧に基づいてまず参照電圧が生成され、この参照電圧をもとに数種類の内部電源電圧が生成される。

【0 0 0 3】

特許文献 1 に記載された従来の半導体記憶装置は、外部電源電圧が入力され内部参照電圧を発生する参照電圧生成回路と、内部参照電圧が入力され所定値の基準電圧を出力する基準電圧回路と、所定値の基準電圧および外部電源電圧に基づいて内部電源電圧を生成する内部電源回路とを備え、基準電圧回路は、プロービングによって測定された基準電圧の測定値に基づいて任意のヒューズを溶断することにより、基準電圧を予め設定された電圧値に微調整して出力することができる。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 2 - 1 5 5 9 9 号公報

【0 0 0 5】

【発明が解決しようとする課題】

一般に、D R A M のような半導体記憶装置では、製品として出荷する前のテストとして、内部電源電圧に対する半導体記憶装置の動作マージンを評価する必要がある。

【0 0 0 6】

特許文献 1 に記載された従来の半導体記憶装置は、半導体チップがモールド樹脂に覆われてパッケージされたモールド状態において内部電源電圧を制御することができず、内部電源電圧に対する半導体記憶装置の動作マージンをモールド状

態において外部から評価することができないという問題点があった。

【0007】

それゆえに、この発明の目的は、モールド状態においても内部電源電圧に対する半導体記憶装置の動作マージンを外部から評価することが可能な半導体記憶装置を提供することである。

【0008】

【課題を解決するための手段】

この発明は、パッケージに収められた半導体記憶装置であって、外部電源電圧をもとに参照電圧を発生する参照電圧発生回路と、パッケージ外部から与えられる外部電圧を、互いに異なる電圧値を有する複数の分割電圧に分割する電圧分割回路と、パッケージ外部からの制御信号に応じて、参照電圧および複数の分割電圧の中から1つの基準電圧を選択する選択回路と、基準電圧をもとに内部電源電圧を発生する内部電圧発生回路とを備える。

【0009】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0010】

〔実施の形態1〕

図1は、この発明の実施の形態1による半導体記憶装置1Aの概略的な構成を示したブロック図である。

【0011】

図1に示す実施の形態1の半導体記憶装置1Aは、入力バッファ回路11と、データ書込回路12と、メモリアレイ13と、コマンド・アドレスデコーダ14と、内部レジスタ15と、電圧分割回路16Aと、内部電圧発生部20、30、40とを備える。

【0012】

入力バッファ回路11は、外部から入力される外部信号を受けて、データ信号についてはデータ書込回路12に出力し、データマスク信号、コマンド信号、お

よびアドレス信号についてはコマンド・アドレスデコーダ14に出力する。データ書込回路12は、入力されたデータ信号をメモリアレイ13内のメモリセルに書込む。また、半導体記憶装置1Aにおいて入出力されるデータ信号は、入力バッファ回路11から出力されるデータマスク信号によってマスクされる。

【0013】

コマンド・アドレスデコーダ14は、コマンド信号およびアドレス信号をデコードする。デコードされたコマンド信号のうち、モードレジスタセット(MRS)コマンドにより設定されたリードレイテンシおよびバースト長などの情報が内部レジスタ15に格納される。内部レジスタ15には、他にもテストモードイネーブル信号TMe nおよび参照電圧選択信号V r e f 1 e n ~ V r e f N e n (いずれも後に説明)が格納される。

【0014】

内部レジスタ15への情報の書込みは、デコードされたコマンド信号によって制御される。内部レジスタ15への情報書込み動作は、たとえば、標準DRAMにおけるMRS動作と同様に行なえばよい。なお、内部レジスタ15は、電源投入時に所定の値にリセットされることが望ましい。これは、電源投入時にレジスタ値が不定になると、半導体記憶装置1Aを通常動作させたい時にも、テストモードイネーブル信号TMe nが誤って活性化される可能性があるからである。

【0015】

電圧分割回路16Aは、外部から与えられる外部電源電圧VDDを複数の分割電圧V r e f 1 A ~ V r e f N Aに分割して、内部電圧発生部20, 30, 40にそれぞれ出力する。

【0016】

内部電圧発生部20は、参照電圧V r e f Sを発生する参照電圧発生回路21と、基準電圧V R E F Sを選択するセレクター22と、内部電源電圧VDD Sを発生する内部電圧発生回路23とを含む。内部電源VDD Sは、たとえばメモリセル用電源として用いられる。

【0017】

内部電圧発生部30は、参照電圧V r e f Pを発生する参照電圧発生回路31

と、基準電圧 V_{REFP} を選択するセレクター 32 と、内部電源電圧 V_{DDP} を発生する内部電圧発生回路 33 とを含む。内部電源 V_{DDP} は、たとえば半導体記憶装置 1A 内の周辺回路用電源として用いられる。

【0018】

内部電圧発生部 40 は、参照電圧 V_{refD} を発生する参照電圧発生回路 41 と、基準電圧 V_{REFD} を選択するセレクター 42 と、内部電源電圧 V_{PP} を発生する内部電圧発生回路 43 とを含む。内部電源 V_{PP} は、たとえばワード線用電源として用いられる。

【0019】

内部電圧発生部 20, 30, 40 は互いに同等の構成を有するため、ここでは、内部電圧発生部 20 に含まれる参照電圧発生回路 21, セレクター 22, および内部電圧発生回路 23 を代表して説明する。

【0020】

参照電圧発生回路 21 は、外部から与えられる外部電源電圧 V_{DD} を受けて、参照電圧 V_{refS} を発生する。セレクター 22 は、テストモードイネーブル信号 TM_{en} および参照電圧選択信号 $V_{ref1en} \sim V_{refNen}$ に応じて、分割電圧 $V_{ref1A} \sim V_{refNA}$ および参照電圧 V_{refS} の中から 1 つの基準電圧 V_{REFS} を選択する。なお、テストモードイネーブル信号 TM_{en} および参照電圧選択信号 $V_{ref1en} \sim V_{refNen}$ は、外部から入力される外部信号に含まれる。内部電圧発生回路 23 は、セレクター 22 から出力される基準電圧 V_{REFS} を受けて、内部電源電圧 V_{DDs} を発生する。

【0021】

以下、実施の形態 1 による半導体記憶装置 1A の特徴部分である電圧分割回路 16A, 参照電圧発生回路 21, セレクター 22, および内部電圧発生回路 23 の各具体的な回路構成について説明する。

【0022】

図 2 は、この発明の実施の形態 1 による電圧分割回路 16A の回路構成を示した回路図である。

【0023】

図 2 に示す実施の形態 1 の電圧分割回路 1 6 A は、外部電源電圧 V_{DD} が与えられるノードと接地ノードとの間に、各々が同一の抵抗値 R_A を有する抵抗素子 1 6 A__1 ~ 1 6 A__N-1 が直列接続された構成となっている。抵抗素子 1 6 A__k ($k=1 \sim N-1$) はノード $N A k$ とノード $N A (k+1)$ との間に接続され、ノード $N A k$ ($k=1 \sim N$) には分割電圧 $V_{ref k A}$ が与えられる。分割電圧 $V_{ref k A}$ の電圧値は、

$$V_{ref k A} = V_{DD} \cdot (N - k) / (N - 1)$$

と表わされる。

【0024】

図 3 は、この発明の実施の形態 1 による参照電圧発生回路 2 1 の回路構成の一例を示した回路図である。

【0025】

図 3 に示す実施の形態 1 の参照電圧発生回路 2 1 は、定電流源 1 0 1 と、抵抗素子 1 0 2 と、PチャネルMOSトランジスタ 1 0 3 と、演算増幅器 1 0 4 とを含む。

【0026】

定電流源 1 0 1 は、外部電源電圧 V_{DD} をもとに定電流 I_{const} を生成する。定電流源 1 0 1、抵抗素子 1 0 2、およびダイオード接続されたPチャネルMOSトランジスタ 1 0 3 は環状に接続され、定電流源 1 0 1 の出力ノード $N 2 1$ には定電圧 V_{const} が現れる。演算増幅器 1 0 4 は、マイナス側の入力端子と出力端子とが接続されたボルテージフォロワを構成し、定電圧 V_{const} をプラス側の入力端子に受けて、参照電圧 $V_{ref S}$ を出力する。

【0027】

図 4 は、この発明の実施の形態 1 によるセレクター 2 2 の回路構成を示した回路図である。

【0028】

図 4 に示す実施の形態 1 のセレクター 2 2 は、インバータ 2 0 1-1 ~ 2 0 1-N, 2 0 3, 2 0 5 と、トランスファゲート 2 0 2-1 ~ 2 0 2-N, 2 0 4, 2 0 6 とを含む。

【0029】

参照電圧選択信号 $V_{ref\ k\ en}$ ($k=1\sim N$) は、そのまま、あるいはインバータ 201-k によって反転されて、トランスファゲート 202-k に入力される。トランスファゲート 202-k は、参照電圧選択信号 $V_{ref\ k\ en}$ が H レベル（論理ハイ）のとき、分割電圧 $V_{ref\ k\ A}$ をノード N22a に与える。

【0030】

テストモードイネーブル信号 $TMe\ n$ は、そのまま、あるいはインバータ 203, 205 によって反転されて、トランスファゲート 204, 206 にそれぞれ入力される。トランスファゲート 204 は、テストモードイネーブル信号 $TMe\ n$ が H レベルのとき、ノード N22a の電圧をノード N22b に与える。トランスファゲート 206 は、テストモードイネーブル信号 $TMe\ n$ が L レベル（論理ロー）のとき、参照電圧 $V_{ref\ S}$ をノード N22b に与える。ノード N22b に与えられた電圧は、基準電圧 $V_{REF\ S}$ として出力される。

【0031】

図5は、この発明の実施の形態1によるセレクター22の回路動作を説明するためのタイミング図である。ここでは、参照電圧 $V_{ref\ S}=1.8\ [V]$ と仮定する。また、図2の電圧分割回路16Aにおいて説明したように、分割電圧 $V_{ref\ 1\ A}$ は、外部電源電圧 V_{DD} に等しくなる。ここでは、外部電源電圧 $V_{DD}=2.5\ [V]$ と仮定する。

【0032】

時刻 t が t_1 以前のとき、テストモードイネーブル信号 $TMe\ n$ および参照電圧選択信号 $V_{ref\ k\ en}$ ($k=1\sim N$) は、いずれも L レベルとなる。このとき、図4のトランスファゲート 206 がオンとなり、基準電圧 $V_{REF\ S}$ は、参照電圧 $V_{ref\ S}=1.8\ [V]$ となる。

【0033】

時刻 t が t_1 以後のとき、テストモードイネーブル信号 $TMe\ n$ および参照電圧選択信号 $V_{ref\ 1\ en}$ が H レベルとなり、参照電圧選択信号 $V_{ref\ k\ en}$ ($k=2\sim N$) は L レベルのままである。このとき、図4のトランスファゲート 202-1, 203 がオンとなり、基準電圧 $V_{REF\ S}$ は、外部電源電圧 V_{DD}

= 2.5 [V] となる。

【0034】

テストモードイネーブル信号 $TMen$ および参照電圧選択信号 $Vref1en \sim VrefNen$ は外部から入力されるため、基準電圧 $VREFS$ は外部からの制御により複数の電圧値を選択することができる。

【0035】

図6は、この発明の実施の形態1による内部電圧発生回路23の回路構成の一例を示した回路図である。

【0036】

図6に示す実施の形態1の内部電圧発生回路23は、演算増幅器301と、PチャネルMOSトランジスタ302と、抵抗素子303を含む。

【0037】

演算増幅器301は、マイナス側の入力端子がノードN23に接続され、出力端子がPチャネルMOSトランジスタ302のゲートに接続される。PチャネルMOSトランジスタ302および抵抗素子303は、ノードN23をはさんで電源ノードと接地ノードとの間に直列接続される。演算増幅器301のプラス側の入力端子には基準電圧 $VREFS$ が与えられ、抵抗値 $R1$ を有する抵抗素子303には定電流 $I0$ が流れる。このとき、ノードN23には内部電圧 $VDD S = R1 \cdot I0$ が現れる。なお、内部電源電圧 $VDD S$ の大きさは、実質的に基準電圧 $VREFS$ と等しい。

【0038】

このように、内部電圧発生部20は、外部から入力される分割電圧 $Vref1A \sim VrefNA$ および参照電圧 $VrefS$ の中から、テストモードイネーブル信号 $TMen$ および参照電圧選択信号 $Vref1en \sim VrefNen$ に応じて1つの基準電圧 $VREFS$ を選択し、基準電圧 $VREFS$ をもとに内部電源電圧 $VDD S$ を発生する。

【0039】

以上のように、実施の形態1によれば、外部からの制御信号に応じて参照電圧および複数の分割電圧の中から1つの基準電圧を選択することにより、モード

状態においても内部電源電圧に対する半導体記憶装置の動作マージンを外部から評価することが可能となる。

【 0 0 4 0 】

〔実施の形態 2〕

図 7 は、この発明の実施の形態 2 による半導体記憶装置 1 B の概略的な構成を示したブロック図である。

【 0 0 4 1 】

図 7 に示す実施の形態 2 の半導体記憶装置 1 B は、入力バッファ回路 1 1 と、データ書込回路 1 2 と、メモリアレイ 1 3 と、コマンド・アドレスデコーダ 1 4 と、内部レジスタ 1 5 と、電圧分割回路 1 6 B と、内部電圧発生部 2 0, 3 0, 4 0 と、AND ゲート 5 1 とを備える。

【 0 0 4 2 】

入力バッファ回路 1 1 は、外部から入力される外部信号を受けて、データ信号についてはデータ書込回路 1 2 に出力し、コマンド信号およびアドレス信号についてはコマンド・アドレスデコーダ 1 4 に出力する。データ書込回路 1 2 は、入力されたデータ信号をメモリアレイ 1 3 内のメモリセルに書込む。

【 0 0 4 3 】

コマンド・アドレスデコーダ 1 4 は、コマンド信号およびアドレス信号をデコードする。デコードされたコマンド信号のうち、モードレジスタセット (MRS) コマンドにより設定されたリードレイテンシおよびバースト長などの情報が内部レジスタ 1 5 に格納される。内部レジスタ 1 5 には、他にもテストモードイネーブル信号 T M e n および参照電圧選択信号 V r e f 1 e n ~ V r e f N e n が格納される。

【 0 0 4 4 】

内部レジスタ 1 5 への情報の書込みは、デコードされたコマンド信号によって制御される。内部レジスタ 1 5 への情報書込み動作は、たとえば、標準 D R A M における MRS 動作と同様に行なえばよい。なお、内部レジスタ 1 5 は、電源投入時に所定の値にリセットされることが望ましい。これは、電源投入時にレジスタ値が不定になると、半導体記憶装置 1 B を通常動作させたい時にも、テストモ

ードイネーブル信号 TMe_n が誤って活性化される可能性があるからである。

【0045】

ANDゲート51は、内部レジスタ15から出力されるテストモードイネーブル信号 TMe_n の反転信号および外部から与えられる外部データマスク信号 $extDM$ を受けて、データマスク信号 DM をコマンド・アドレスデコーダ14に出力する。半導体記憶装置1Bにおいて入出力されるデータ信号は、データマスク信号 DM によってマスクされる。

【0046】

テストモードイネーブル信号 TMe_n がHレベルのとき、データマスク信号 DM は、外部データマスク信号 $extDM$ の論理状態にかかわらず常にLレベルとなる。したがって、実施の形態2の半導体記憶装置1Bがテストモードに入ったとき、半導体記憶装置1Bにおいて入出力されるデータ信号はデータマスク信号 DM によってマスクされることはなく、テストモード時においてもデータ信号の入出力に関するテストが可能となる。

【0047】

電圧分割回路16Bは、データマスク信号電圧 V_{DM} の電圧を複数の分割電圧 $V_{ref1B} \sim V_{refNB}$ に分割して、内部電圧発生部20, 30, 40にそれぞれ出力する。

【0048】

実施の形態2の内部電圧発生部20, 30, 40は、分割電圧 $V_{ref1A} \sim V_{refNA}$ が分割電圧 $V_{ref1B} \sim V_{refNB}$ に置き換えられた点を除いて実施の形態1の内部電圧発生部20, 30, 40と同等なので、ここでは説明を繰り返さない。

【0049】

以下、実施の形態1の半導体記憶装置1Aと比較して実施の形態2の半導体記憶装置1Bの特徴部分である電圧分割回路16Bの具体的な回路構成について説明する。

【0050】

図8は、この発明の実施の形態2による電圧分割回路16Bの回路構成を示し

た回路図である。

【 0 0 5 1 】

図 8 に示す実施の形態 2 の電圧分割回路 1 6 B は、データマスク信号電圧 V_{DM} が与えられるデータマスクピンと接地ノードとの間に、各々が同一の抵抗値 R_B を有する抵抗素子 $1\ 6\ B_1 \sim 1\ 6\ B_N - 1$ が直列接続された構成となっている。抵抗素子 $1\ 6\ B_k$ ($k = 1 \sim N - 1$) はノード $NB\ k$ とノード $NB\ (k + 1)$ との間に接続され、ノード $NB\ k$ ($k = 1 \sim N$) には分割電圧 $V_{ref\ k\ B}$ が与えられる。分割電圧 $V_{ref\ k\ B}$ の電圧値は、

$$V_{ref\ k\ B} = V_{DM} \cdot (N - k) / (N - 1)$$

と表わされる。

【 0 0 5 2 】

データマスク信号電圧 V_{DM} は、外部電源電圧 V_{DD} とは違って柔軟に電圧値を設定することができ、外部電源電圧 V_{DD} 以上の電圧値に設定することも可能である。ゆえに、実施の形態 2 の分割電圧 $V_{ref\ 1\ B} \sim V_{ref\ N\ B}$ は、実施の形態 1 の分割電圧 $V_{ref\ 1\ A} \sim V_{ref\ N\ A}$ に比べてより広範囲な電圧設定が可能である。

【 0 0 5 3 】

以上のように、実施の形態 2 によれば、外部からの制御信号に応じて参照電圧および複数の分割電圧の中から 1 つの基準電圧を選択することにより、内部電源電圧に対するモールド状態の半導体記憶装置の動作マージンをより柔軟に外部から評価することが可能となる。

【 0 0 5 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 5 5 】

【発明の効果】

以上のように、この発明によれば、モールド状態においても内部電源電圧に対

する半導体記憶装置の動作マージンを外部から評価することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体記憶装置 1 A の概略的な構成を示したブロック図である。

【図 2】 この発明の実施の形態 1 による電圧分割回路 1 6 A の回路構成を示した回路図である。

【図 3】 この発明の実施の形態 1 による参照電圧発生回路 2 1 の回路構成の一例を示した回路図である。

【図 4】 この発明の実施の形態 1 によるセレクター 2 2 の回路構成を示した回路図である。

【図 5】 この発明の実施の形態 1 によるセレクター 2 2 の回路動作を説明するためのタイミング図である。

【図 6】 この発明の実施の形態 1 による内部電圧発生回路 2 3 の回路構成の一例を示した回路図である。

【図 7】 この発明の実施の形態 2 による半導体記憶装置 1 B の概略的な構成を示したブロック図である。

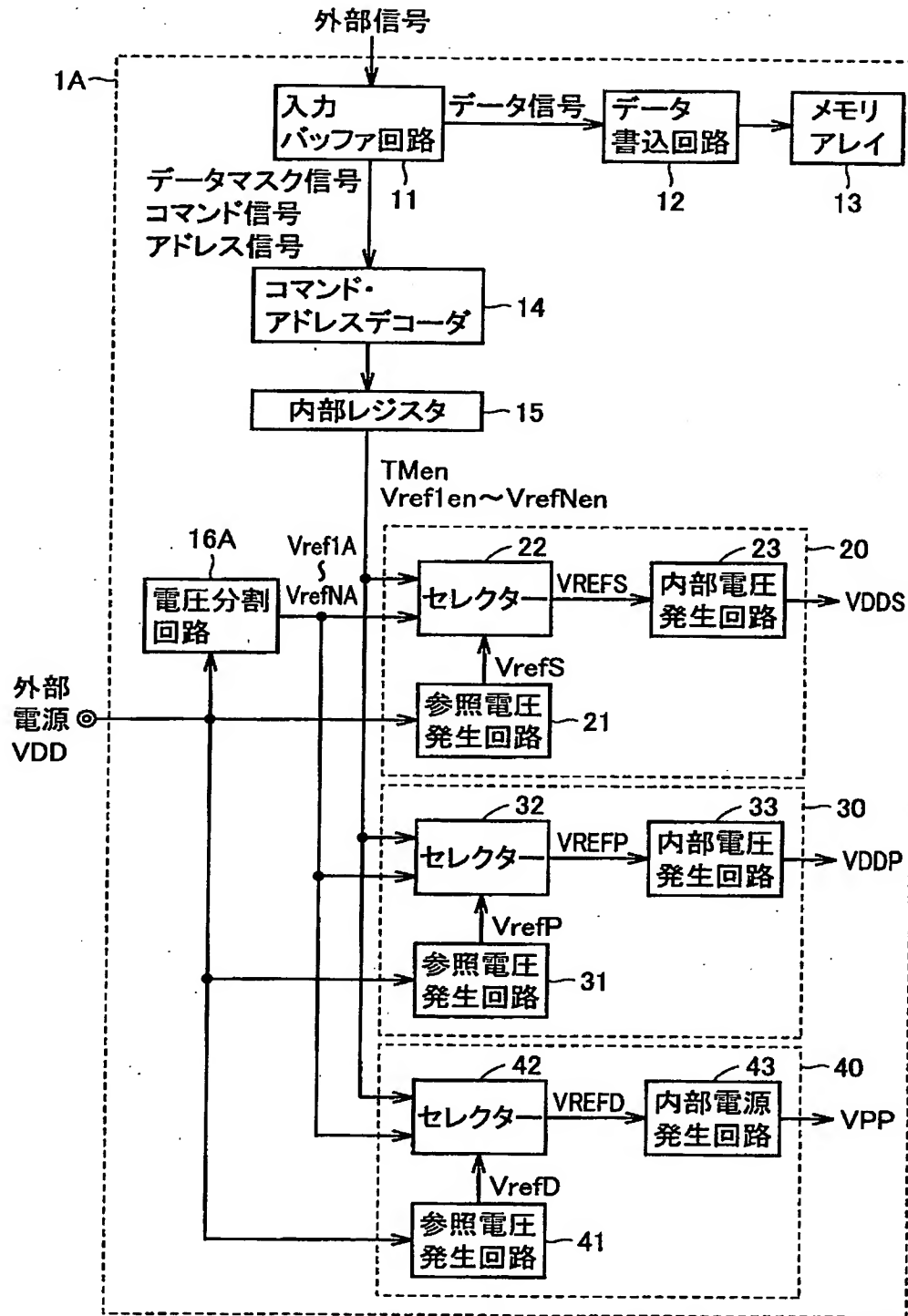
【図 8】 この発明の実施の形態 2 による電圧分割回路 1 6 B の回路構成を示した回路図である。

【符号の説明】

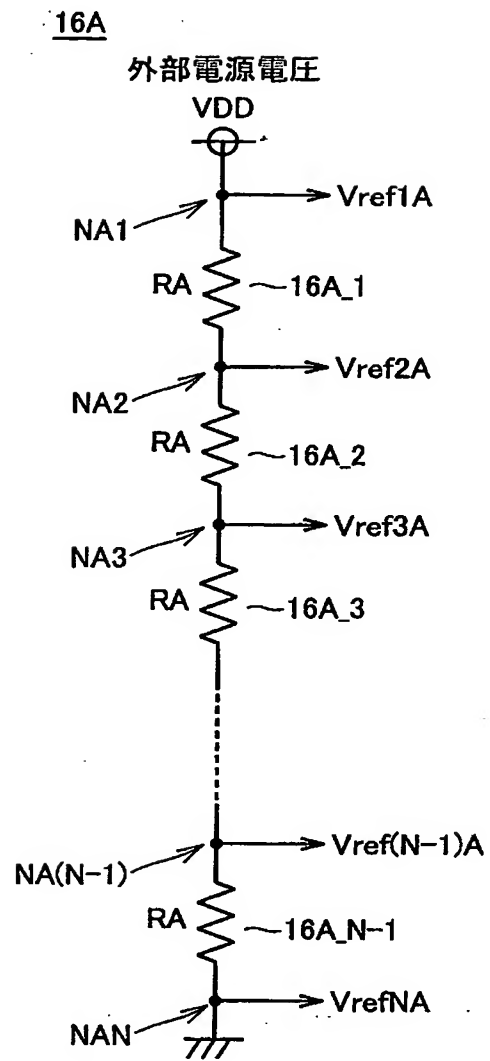
1 A, 1 B 半導体記憶装置、1 1 入力バッファ回路、1 2 データ書込回路、1 3 メモリアレイ、1 4 コマンド・アドレスデコーダ、1 5 内部レジスタ、1 6 A, 1 6 B 電圧分割回路、1 6 A__1～1 6 A__N, 1 6 B__1～1 6 B__N, 1 0 2, 3 0 3 抵抗素子、2 0, 3 0, 4 0 内部電圧発生部、2 1, 3 1, 4 1 参照電圧発生回路、2 2, 3 2, 4 2 セレクター、2 3, 3 3, 4 3 内部電圧発生回路、5 1 ANDゲート、1 0 1 定電流源、1 0 3, 3 0 2 PチャネルMOSトランジスタ、1 0 4, 3 0 1 演算増幅器、2 0 1-1～2 0 1-N, 2 0 3, 2 0 5 インバータ、2 0 2-1～2 0 2-N, 2 0 4, 2 0 6 トランスファゲート。

【書類名】 図面

【図 1】

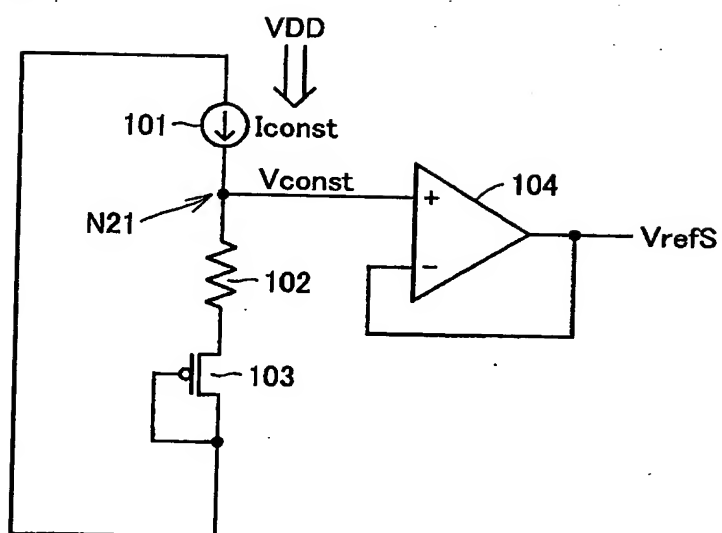


【図 2】

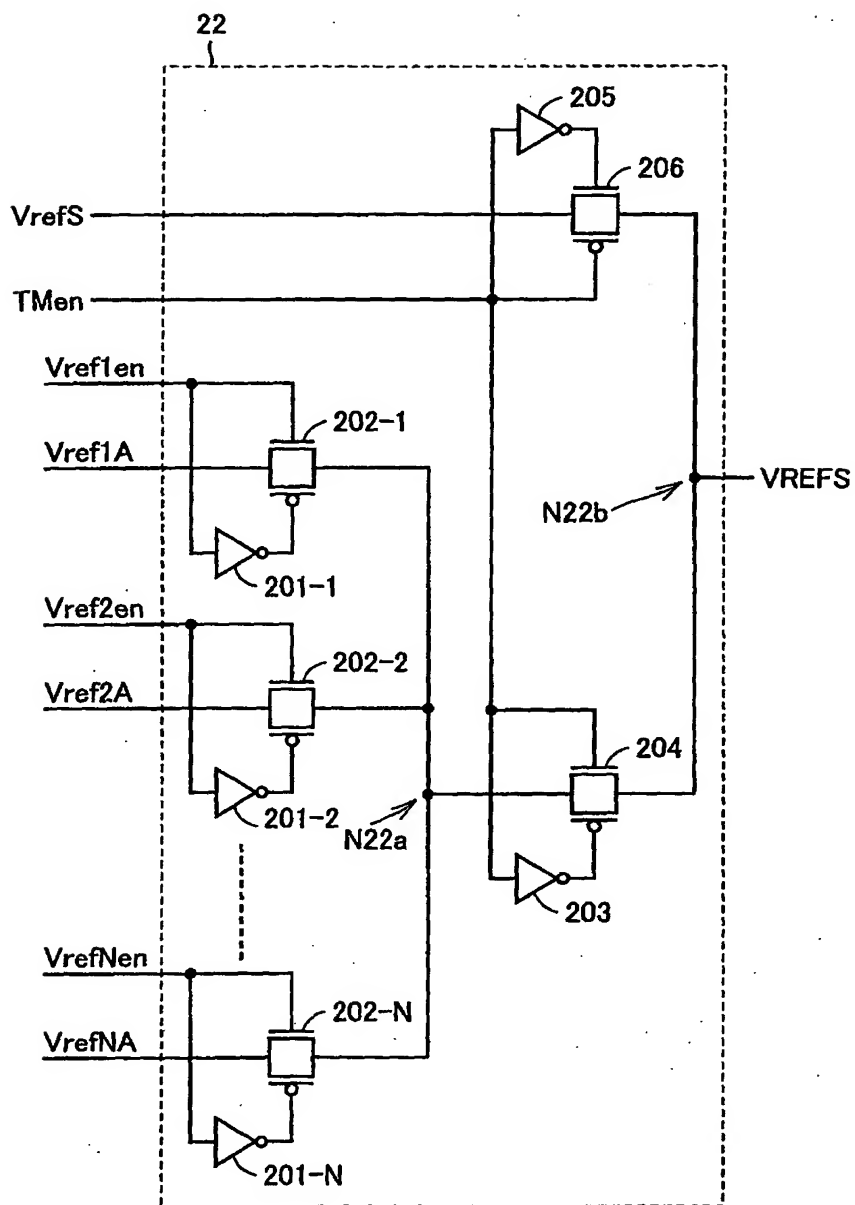


【図 3】

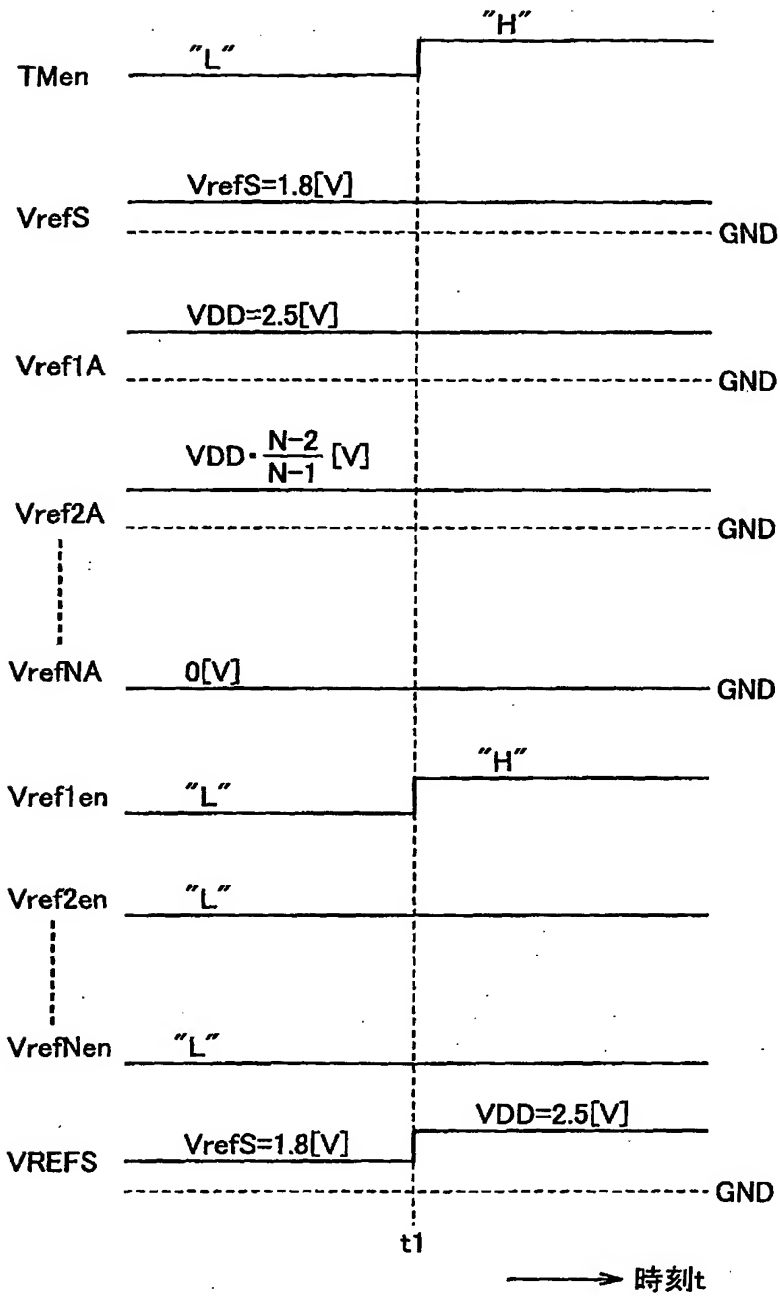
21



【図 4】

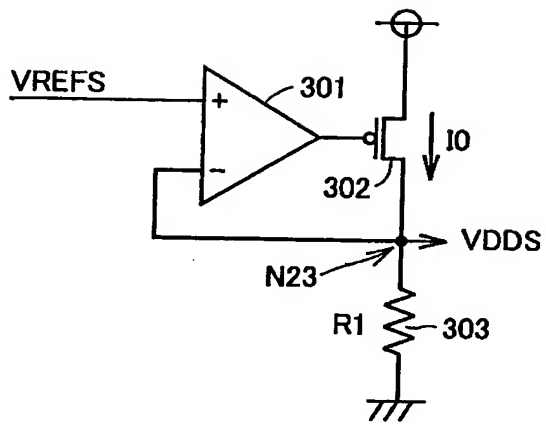


【図 5】

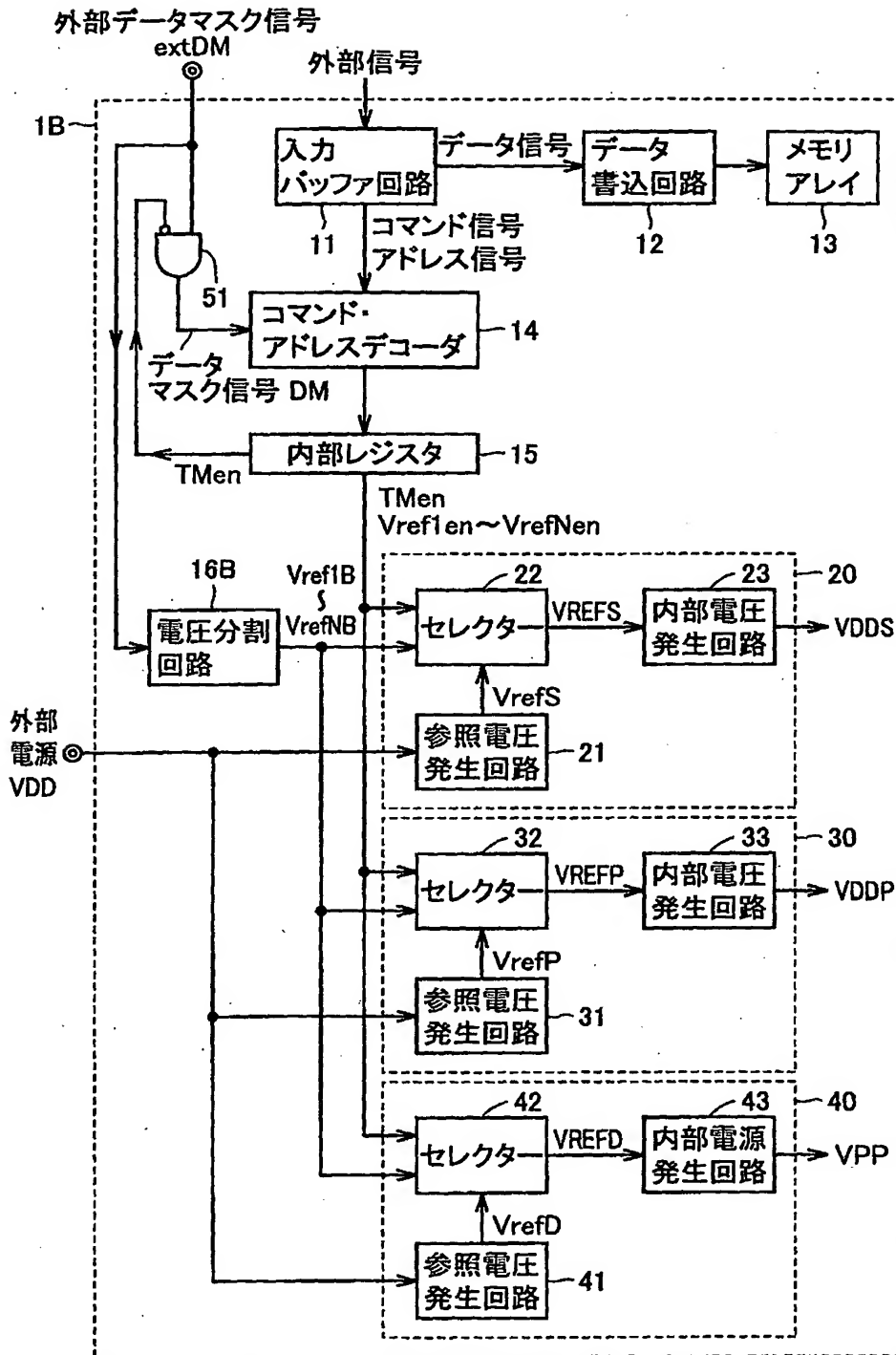


【図 6】

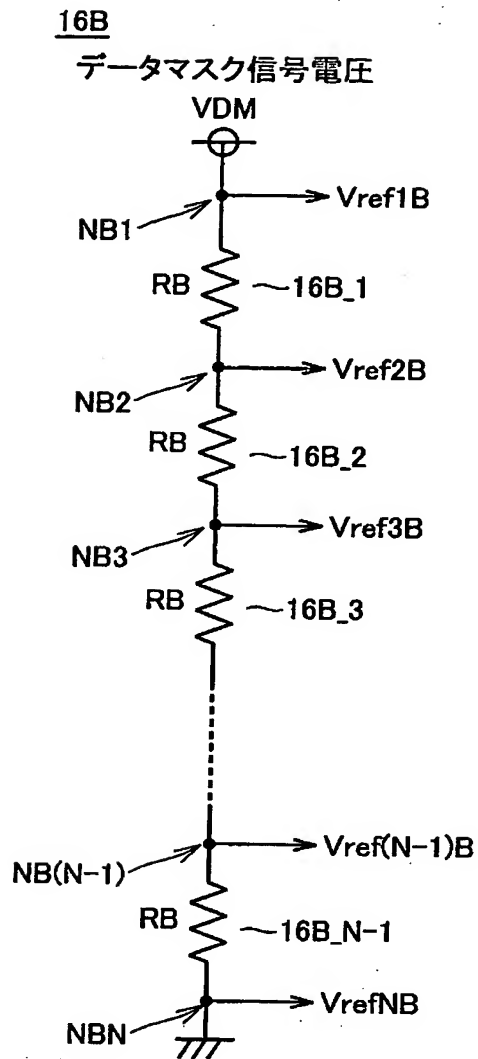
23



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 モールド状態においても内部電源電圧に対する半導体記憶装置の動作マージンを外部から評価することが可能な半導体記憶装置を提供する。

【解決手段】 セレクター 2 2 は、テストモードイネーブル信号 TMe_n および参照電圧選択信号 $Vref1en \sim VrefNen$ に応じて、電圧分割回路 1 6 からの分割電圧 $Vref1A \sim VrefNA$ および参照電圧発生回路 2 1 からの参照電圧 $VrefS$ の中から 1 つの基準電圧 $VREFS$ を選択する。内部電圧発生回路 2 3 は、セレクター 2 2 から出力される基準電圧 $VREFS$ を受けて、内部電源電圧 $VDDs$ を発生する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社